

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-107463

(43)Date of publication of application : 22.04.1997

(51)Int.Cl.

H04N 1/393

**B41J 2/525**

G06T 3/40

H04N 1/60

H04N 1/409

H04N 1/46

(21)Application number : 07-262996

(71)Applicant : FUJI PHOTO FILM CO LTD

(22)Date of filing :

**11.10.1995**

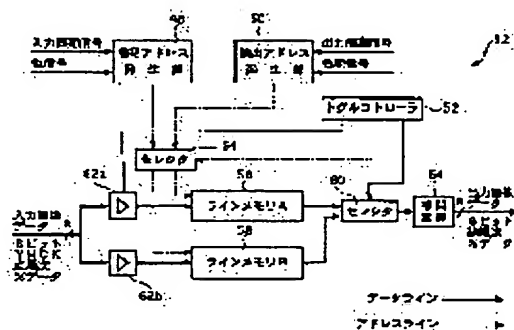
(72)Inventor : TAKAMORI TETSUYA

**(54) IMAGE PROCESSOR**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To simultaneously perform the variable power processing of image data for the magnification, reduction or trimming or the like of a color image and a dotted line conversion processing for a sharpness emphasizing processing in a reduced circuit scale.

**SOLUTION:** Color image data are stored in a first storage means 56 with color identification marks for respective colors and an initial address for performing read from the first storage means 56, the increase value of an address accompanying the variable power processing and interpolation coefficient values for the respective colors for processing the image data are stored in a second storage means 58. A magnification converter 32 uses the address obtained by adding a value for which the increase values of the addresses are accumulated to the initial address generated by a read address generation means 50, arithmetically interpolates 64 the color image data for the respective colors read from the first storage means 56 by using the interpolation coefficient values for the respective colors read from the second storage means 58 and outputs power-varied line sequential data.



## LEGAL STATUS

[Date of request for examination]

**〈19〉日本国特許庁 (J P)**

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-107463

(43)公開日 平成9年(1997)4月22日

(51)IntCl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	1/393		H 0 4 N 1/393	
B 4 1 J	2/525		B 4 1 J 3/00	B
G 0 6 T	3/40		G 0 6 F 15/66	3 5 5 C
H 0 4 N	1/60		H 0 4 N 1/40	D
	1/409			1 0 1 D
				審査請求 未請求 請求項の数 1 O L (全 9 頁)
				最終頁に続く

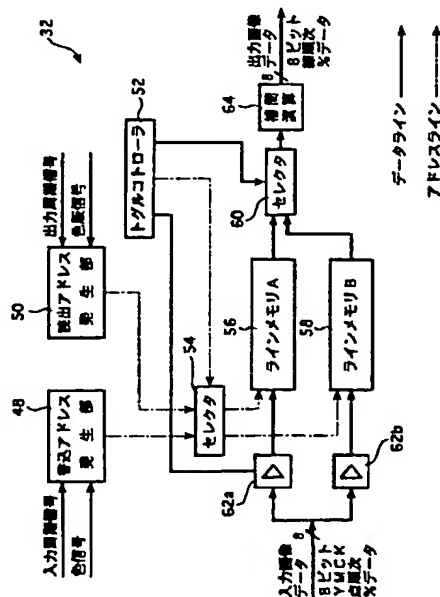
(21)出願番号	特願平7-262996	(71)出願人	000005201 富士写真フイルム株式会社 神奈川県南足柄市中沼210番地
(22)出願日	平成7年(1995)10月11日	(72)発明者	高 森 哲 弥 神奈川県足柄上郡開成町宮台798番地 富士写真フイルム株式会社内
		(74)代理人	弁理士 渡辺 望 稔

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 カラー画像の拡大・縮小あるいはトリミング等のための画像データの変倍処理およびシャープネス強調処理のための点線変換処理を縮小された回路規模で同時に行うことができる画像処理装置を提供する。

【解決手段】カラー画像データを、色別に色識別記号をつけて第１の記憶手段に記憶し、第１の記憶手段から読み出すための初期アドレスと変倍処理に伴うアドレスの増加値と、画像データを処理するための色別の補間係数値を第２の記憶手段に記憶する。倍率変換装置（３２）は、読み出しアドレス発生手段（５０）が発生する初期アドレスにアドレスの増加値を累積した値を加算して得たアドレスを用いて、第１の記憶手段から読み出した色別のカラー画像データを、第２の記憶手段から読み出した色別の補間係数値を用いて補間演算（６４）し、変倍された線順次データを出力する。



## 【特許請求の範囲】

【請求項1】 カラー画像データを色別に色識別記号をつけて、入力クロックに同期して色別の領域に記憶する第1の記憶手段と、

前記第1の記憶手段から読み出すための初期アドレスとアドレスの増加値、および画像データを処理するための色別の補間係数値を記憶する第2の記憶手段と、

前記第2の記憶手段から読み出した前記初期アドレスに前記アドレスの増加値を累積した値を加算して、読み出しクロックに同期して読み出しアドレスを発生する読み出しアドレス発生手段と、

前記読み出しアドレスを用いて、前記第1の記憶手段から読み出した色別の前記カラー画像データを、前記第2の記憶手段から読み出した前記色別の補間係数値を用いて補間することにより倍率変換と解像度変換を行う倍率変換回路とを有することを特徴とする画像処理装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、原稿上の画像を読み取って、一定の画像処理を行った後、製版用のフィルムを作成するカラスキャナシステムに適用して、読み取られた画像信号の色処理やシャープネス処理の前処理などを行った後、画像信号を倍率・解像度および色順次変換するための画像処理装置に関する。

【0002】

【従来の技術】 従来、印刷、製版の分野において作業工程の合理化、画像品質の向上を目的として原稿に担持された画像情報を電気的に処理し、フィルム原版を作成する画像走査読取再生システムが広範に用いられている。

【0003】 このシステムは入力機である画像読取装置と出力機である画像記録装置とから基本的に構成されており、この画像読取装置では、例えば副走査搬送される読取走査子（スキャナ）が用いられ、原稿に担持された画像情報がCCDなどの固体撮像素子によって光電的に走査読取され電気信号に変換される。この後、画像読取装置で光電変換された画像情報は、その画像処理装置において、製版条件に応じて所定の画像処理が施された後、例えば、連続階調画像では、その濃淡を再現するために網掛処理が行われて網点画像に変換された後、画像記録装置においてレーザ光等の光信号に変換されフィルム等の感光材料からなる画像記録媒体上に記録される。ここで、前記画像記録媒体は所定の現像装置によって現像処理され、フィルム原板として印刷等に供される。

【0004】 このような従来の画像走査読取再生システムにおいては、画像読取装置の画像処理装置において、3原色の画像信号、例えば赤（R）、緑（G）、青（B）の3色の画像信号を色処理してY、M、C、Kの4色の画像信号に変換し、次いで、順に倍率・解像度変換処理、輪郭（シャープネス）強調処理、階調変換処理などを行って、Y、M、C、Kの4色の画像信号として

画像記録装置に出力している。

【0005】 このように倍率変換（変倍）機能を備えた画像処理装置は、種々提案されている。例えば、画像データを記憶するメモリへの書き込みクロックを可変にし、一定の読み出しクロックにより読み出して画像の拡大・縮小を行うものや画像メモリへの書き込みクロックおよび読み出しクロックの両方を可変にして画像の変倍を行うものがある。これらは、画像メモリへの画像データの書き込みが不完全となる場合があり、書き込み後の変倍やトリミング処理等に制限を来すなどの問題があった。

【0006】 このため、画像データが記憶されたメモリから読み出しクロックに同期して読み出す画像データのアドレスを、読み出しクロックに同期して連続して変化するカウンタの出力値と変倍制御情報とに対応してメモリから読み出されたアドレス差値を現在のアドレスに加算して生成することにより、任意の変倍処理、トリミング処理を高速で行うことのできる画像処理装置が特公平6-18435号に開示されている。

【0007】

【発明が解決しようとする課題】 しかしながら、上述した画像処理装置はいずれも単色の画像しか対象としていないため、カラー画像を対象とする画像処理装置においてカラー画像データ、例えばY、M、C、Kの4色の点順次画像データを処理する場合には直接適用できないという問題があった。また、上述した変倍機構をカラー画像処理装置に適用する場合には、カラー画像データを点順次信号から線順次信号に変換した後、変倍処理を行う必要があるため、点線変換処理回路と変倍処理回路との両方が別々に必要となるばかりか、各色毎に各々上述した変倍機構が必要となり、例えばY、M、C、Kの4色の画像データには同じ変倍機構が4個必要となり、変倍処理の回路規模が大になってしまうという問題もあった。

【0008】 また、カラー画像処理装置で処理するカラー画像データの場合、シャープネス強調処理のための点線変換やカラー入力機（カラスキャナ等のカラー画像読取装置）の色収差や色ずれ補正を行う必要があるが、このために特別な処理機構や色毎の変倍機能を持つと、処理回路規模が大きくなり、コストもかさむという問題もあった。

【0009】 本発明の目的は、上記従来技術の問題点を解消し、カラー画像の拡大・縮小あるいはトリミング等のための画像データの変倍処理およびシャープネス強調処理のための点線変換処理を縮小された回路規模で同時に行うことのできる画像処理装置を提供するにある。

【0010】

【課題を解決するための手段】 上記目的を達成するために、本発明は、カラー画像データを色別に色識別記号をつけて、入力クロックに同期して色別の領域に記憶する

第1の記憶手段と、前記第1の記憶手段から読み出すための初期アドレスとアドレスの増加値、および画像データを処理するための色別の補間係数値を記憶する第2の記憶手段と、前記第2の記憶手段から読み出した前記初期アドレスに前記アドレスの増加値を累積した値を加算して、読み出しクロックに同期して読み出しアドレスを発生する読み出しアドレス発生手段と、前記読み出しアドレスを用いて、前記第1の記憶手段から読み出した色別の前記カラー画像データを、前記第2の記憶手段から読み出した前記色別の補間係数値を用いて補間することにより倍率変換と解像度変換を行う倍率変換回路とを有することを特徴とする画像処理装置を提供するものである。

【0011】

【発明の実施の形態】本発明に係る画像処理装置を添付の図面に示す好適実施例に基づいて以下に詳細に説明する。

【0012】図1は、本発明の画像処理装置の一実施例のブロック図である。同図に示すように、画像処理装置10は、入力側のSCSIインターフェース（以下、SCSIIFという）12と、画像処理回路14と、出力側の小容量の画像バッファである、例えば2MBのFIFOメモリ16と、出力側のSCSIIF18とを有している。またこの画像処理回路14は、SCSIIF12で受け取った画像信号を一時的に保持するアルタネートラインメモリ20と、フォーマッタ22と、バイパス回路24と、色処理（カラーコレクション）回路26と、プレシャープネス回路28と、副走査遅れの補正回路30と、倍率変換回路32と、主走査遅れの補正回路34と、シャープネス強調回路36、階調変換回路38と、ラインワークバッファ（LWBuf f）40と、ラインワーク（LW）付加回路42と、ルックアップテーブル（%-QLUT）44と、アルタネートラインメモリ46とを有する。

【0013】ここで、入出力のアルタネートラインメモリ20および46は、トグルメモリであって、同部同期信号で常に処理を行うように構成され、入力側のラインメモリ20は、例えば32KB×4ラインのデュアルポートRAM（DPRAM）で構成され、SCSIIF12からのR、G、Bの3色の画像信号の16ビットデータを8ビットデータに変換し、ラインの切り替えを倍率変換の前後で別々に制御することにより、直線補間による副走査変倍にも対応する。一方、出力側のラインメモリ46は、例えば128KB×2ラインのRAMで構成され、階調変換回路44からのY、M、C、Kの4色の各々の画像信号の8ビットデータを16ビットデータに変換し、かつ線点変換をも含み、FIFO16へ書き込む。

【0014】フォーマッタ22は、R、G、Bの3色の画像データもY、M、C、Kの4色の画像データも同じ

く内部フォーマットに変換するためのもので、ここでは、例えば3色および4色と8ビット、16ビットおよび10ビットとの組み合わせ信号をすべて、10ビットY（B）、M（G）、C（R）、Kの点順次信号に変換する。16ビットかのモード（2ビット）で分け、並べ換えを行っている。

【0015】次にバイパス回路24は、入力データの上位8ビットをそのままの順序で倍率変換32の前に送るものである。色処理回路26は、上位5ビットで3Dルックアップテーブル（LUT）を使った3-4変換や階調変換などを含む色処理（カラーコレクション）を行って、R、G、Bの3色の画像データをY、M、C、Kの4色の画像データに変換する。プレシャープネス回路28は、1Dルックアップテーブル（LUT）を使って階調変換と3色→4色変換のためのマトリックス演算とを行う回路である。

【0016】副走査遅れ補正回路30および主走査遅れ補正回路34は、画像処理回路14内の各回路がパイプライン処理を行うように構成されているので、遅れ段数が発生するため、それぞれシャープネスによる副走査および主走査遅れの補正を行う回路である。次に倍率変換回路32は、本発明の最も特徴とする部分であって、色処理を行った後の4色の画像データおよびプレシャープネス処理を行った4色の画像データ、またはバイパスしてきた4色の画像データに直線補間による主走査方向の変倍（倍率変換）や解像度変換をかけるもので、同時に主走査位置の移動および点順次信号を線順次信号に変換する点線変換も行う。倍率変換回路32の詳細については後述する。

【0017】シャープネス処理回路36は、輪郭強調するために、プレシャープネス回路28からの4色の画像信号と、色処理回路26またはバイパス回路24からの4色の画像信号との2つの画像データを使って前述したように従来同様のシャープネス処理を行うものである。なお、シャープネス処理回路36側では、入力画像データ信号のタイプ（3色か4色か）によって、色処理回路26の出力と色処理回路26を通らないバイパス回路24の出力を選択する機能を有している。従って、入力フォーマット変換部であるフォーマッタ22は4色入力機能を有しており、ここで色処理回路26の出力とバイパス回路24の出力を選択する機能を有しているので、R、G、Bの3色の画像データに加え、Y、M、C、Kの4色の画像データも画像処理回路14で所要の画像処理、例えば倍率・解像度変換、輪郭強調、階調変換、トンボ、コメント、ボーダーラインなどのラインワーク付加などの処理を行うことができ、画像記録装置に出力して色版フィルムを作製することができる。

【0018】階調変換回路38は、8ビット入力8ビット出力のルックアップテーブル（%-LUT）を用いて、ネガポジの反転、ハイライト（HL）やシャドウ

10

20

30

40

50

(SD)側を強くしたり弱く(つぶ)したりする階調変換を行うものである。ラインワークバッファ(LWB u f f)40は、2MBのメモリで、トンボ、コメント、ボーダーラインなどのラインワーク情報を記憶しているバッファメモリである。ラインワーク付加回路42は、ラインワーク情報を画像データから再生される画像に上から重ねるために画像信号と合成するものである。

【0019】階調変換回路44は、所定ビット長、例えば8ビットの画像信号、従って0-255階調の画像信号を必要な階調、例えば0-100階調に変換する回路である。このように得られた画像データをラインメモリ46に入力し、ラインの切れ目のない連続したデータに変換して、FIFO16に送り、バッファリングして、必要なタイミングで、SCSIインターフェース73を通して、網掛処理を施して画像記録装置に出力するための出力インターフェースユニットに送ることができる。

【0020】ここで、倍率変換回路32は、倍率・解像度変換部分において、色毎の識別番号を持つことにより、色別の切り出しと倍率変換機能および点線変換機能を複合して持つ。図2に本発明に用いられる倍率変換回路の一実施例のブロック図を示す。同図に示すように、倍率変換回路32は、書込アドレス発生部48と、読出アドレス発生部50と、トグルコントローラ52と、セクタ54と、ラインメモリ(A)56およびラインメモリ(B)58と、セクタ60と入力バッファ62aおよび62bと、補間演算部64とを有する。

【0021】ラインメモリ56および58は、データラインにおいて、トグルコントローラ52によって制御されるトグルメモリを構成する。すなわち、トグルコントローラ52は例えば3ステートバッファなどで構成される入力バッファ62aを通常の動作状態とし、1ライン分の入力画像データのラインメモリ56への書き込みを可能とするとともに、入力バッファ62bの出力をハイインピーダンス状態にして切り離し、入力画像データのラインメモリ58への伝送を不可とする。一方、この間、出力側では、トグルコントローラ52は、セクタ60がラインメモリ58の出力を選択するように制御し、ラインメモリ56からの画像データの出力(読み出し)を不可とするとともに、ラインメモリ58からの画像データの出力(読み出し)を可能とする。

【0022】こうして、ラインメモリ56に1ライン分の入力画像データが書き込まれている間に、ラインメモリ58から記憶されている1ライン分の画像データが読み出されるが、1ライン分の画像データのラインメモリ56への書き込みおよびラインメモリ58からの読み出しが終了すると、トグルコントローラ52は、入力バッファ62aの出力をハイインピーダンスとするとともに入力バッファ62bを通常の動作状態として入力画像データのラインメモリ58への書き込みを可能とし、ラインメモリ56への書き込みを不可とする一方で、セク

タ60によって画像データのラインメモリ56からの読み出しを可能とするとともにラインメモリ58からの読み出しができないように切り替える。このようにして、ラインメモリ56および58を効率よく使うことができる。

【0023】次にラインメモリ56および58の書き込みアドレスおよび読み出しアドレスを行うアドレスラインについて説明する。トグルコントローラ52は、ラインメモリ56が入力側に、ラインメモリ58が出力側に接続されている時は、セクタ54を書込アドレス発生部48をラインメモリ56に、読出アドレス発生部50をラインメモリ58に接続するように切り替え、ラインメモリ56および58の入出力側が切り替えられた時にはセクタ54によって書込アドレス発生部48をラインメモリ58側に、読出アドレス発生部50をラインメモリ56側に切り換える。

【0024】入力画像データは、Y、M、C、Kの点順次データ、例えば8ビットの網%データであるが、図1に示すように後段のシャープネス強調処理などを行うためには、Y、M、C、Kの線順次データが必要であるため、点線変換を行う必要がある。このため、本発明においては、ラインメモリ56および58の内部の構成を図3に示すように4つに分割して、Y、M、C、Kの4色についてアドレスの上位2ビットに色信号を割り付け、例えばY、M、C、Kをそれぞれ00、01、10、11として各色毎に同じ領域(アドレス領域)に書き込む。

【0025】このため、書込アドレス発生部48は、図2に示すように入力画像データの色信号および入力同期信号を受けて、アドレスの発生を色信号を示す上位2ビットを変化させて行う。図4はこのような機能を持つ書込アドレス発生部48の一実施例のブロック図である。書込アドレス発生部48には入力画像データの色信号が入力同期信号に同期して入力され、書込アドレスの上位2ビットを構成する。さらに、書込アドレス発生部48は、入力同期信号によりトリガされ、その1/4の周波数(4倍の周期)を持つ画素同期信号を出力する、例えば2ビットのカウンタ(図示せず)と、この画素同期信号に同期して書込アドレスの下位ビット、例えば13ビットを構成する出力値を連続して出力し、ライン同期信号によってクリアされるカウンタ66とを有し、書込アドレスの下位13ビットを発生する。

【0026】こうして、書込アドレス発生部48は、入力された色信号とカウンタ66の出力とを合わせ、例えば上位2ビットを色信号、下位13ビットをカウンタ66の出力とする15ビットの書き込みアドレスを発生する。なお、カウンタ66は、ミラー選択信号によって、アップカウント(正順)Uかダウンカウント(逆順)Dかを選択し、ノーマル/ミラーの設定を行うこともできる。書込アドレス発生部48で発生された書き込みアド

レスに従って、ラインメモリ56および58に書き込むことにより、1ライン分のY, M, C, Kの点順次入力画像データを図3に示すように各色毎に上位2ビットが各色信号を示す4つの領域に分割して書き込むことができる。

【0027】このようにしてラインメモリ56および58に書き込まれた1ライン分の画像データを倍率変換して1ライン分のY, M, C, Kの線順次画像データとして読み出すための読出アドレス発生部50は以下のように構成される。図5は読出アドレス発生部50の一実施例のブロック図である。同図に示すように読出アドレス発生部50は、出力同期信号に同期して、出力値が連続して変化し、ライン同期信号でクリアされるカウンタ68と、カウンタ出力値を入力することにより、出力することのできる読出アドレスデータが予め書き込まれたアドレスRAM70および読出アドレスの増加値に対応し\*

\*て予め設定されている補間係数値が予め書き込まれた係数RAM71からなるポインタRAM72と、前の読出アドレスの下位ビット、例えば下位13ビットと読出アドレスの増加値とを加算する加算器74と、加算器74から出される読出アドレスの下位13ビットを保持するD型フリップフロップ(DF F)76とを有する。

【0028】ポインタRAM72はデータの副走査倍率変換を行うためのポインタRAM0と、主走査倍率変換と主走査位置の調整を行うためのポインタRAM1とからなり、ポインタRAM1およびポインタRAM0には2種のコマンドからなるコマンドフォーマットとして、所望の倍率に応じて下表に示すようにデータが予め書き込まれている。なお、本発明においてはポインタRAM72は、変換倍率毎に予め書き換えられる。

【0029】

【表1】

・ポインタRAM0

INC

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
X	X	X	X	dA3	dA2	dA1	dA0	T7	T6	T5	T4	T3	T2	T1	T0

(dA3 ~ dA0 : 読出アドレス増加値、T7~T0 : 補間係数値)

・ポインタRAM1

LOAD

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
1	C1	C0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

(C1, C0 : 色指定値、A12 ~ A0 : 主走査読出位置プリロード値)

INC

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0	C1	C0	X	dA3	dA2	dA1	dA0	T7	T6	T5	T4	T3	T2	T1	T0

(dA3 ~ dA0 : 読出アドレス増加値、T7~T0 : 補間係数値)

【0030】ここで、コマンドは2種あり、LOADは設定されたデータの16ビット目(b15)の値が1で、記憶データのb14, b13の2ビットC1, C0が色指定値であり、b12~b0の13ビットA12~A0は、予め設定された主走査読み出し位置プリロード値を示し、指定色C1, C0の読み出し開始位置をDF F76にロードする。次に、コマンドINCはデータのb15の値が0であり、次のb14, b13は同様に2ビットの色指定値C1, C0、次のb11~b8の4ビットdA3~dA0は読出アドレス増加値、最後のb7~b0の8ビットT7~T0は補間係数値を示し、指定色の読出アドレス値をアドレス増加値dA3~dA0の分だけインクリメントするとともに得られた読出アドレスの画像データとこの読出アドレスより1つ多い(+1)アドレスの画像データとの間で補間係数値T7~T0を用いて直線補間計算を行って出力画像データとして出力する。

【0031】このように、ポインタRAM72のアドレ

スRAM70には始めに倍率に応じて予め設定された主走査読み出し位置プリロード値A12~A0を含むLOADコマンドフォーマットの16ビットが、次いで読出アドレス増加値dA3~dA0を含むINCコマンドフォーマットの上位8ビットが倍率に応じた1ライン分予め書き込まれている。また、係数RAM71には、INCコマンドフォーマットの下位8ビットの補間係数値T7~T0が倍率に応じた1ライン分予め書き込まれている。

【0032】ポインタRAM72のアドレスRAM70からは、カウンタ68の出力値、すなわちポインタRAM72のアドレスに従って、倍率に応じて予め記憶されたデータが読み出され、このデータの最上位ビットのコマンドはDF F76に出力され、次の2ビットの色指定値は読出アドレスの上位2ビットとして出力され、コマンドがLOAD(1)の場合には次の13ビットの主走査読出プリロード値が、コマンドがINC(0)の場合には次の5ビットのうちの下位4ビットの読出アドレス

の増加値が加算器74に出力される。同時にポインタRAM72の係数RAM71からはコマンドがINC

(0)の場合にアドレスRAM70からの読出アドレスの増加値の読み出し、に応じてその下位8ビットの補間係数値が出力され、後段の補間演算回路64(図2参照)において補間演算に用いられる。

【0033】加算器74ではまず始めにLOADコマンドフォーマットデータから読み出された13ビットの主走査読出プリロード値A12~A0が、ライン同期信号でクリアされたDF76にラッチされた値“0”と加算されて出力され、DF76にラッチされる。続いて、次の出力同期信号のクロックに同期して、DF76は読出アドレスの下位13ビットとしてプリロード値A12~A0を出力するとともに、加算器74へも出力する。一方、加算器74ではINCコマンドフォーマットデータから4ビットの読出アドレス増加値dA3~dA0とDF76の出力値A12~A0とが入力され、加算され、加算値がDF76に出力される。この後、加算器74およびDF76は、倍率に応じたアドレス増加値が加算された読出アドレスの下位13ビットを順次出力する。

【0034】なお、読出アドレス発生部50において、カウンタ68は、出力同期信号に同期して、1つつ増加する出力値、すなわちポインタRAM72のアドレス値を1つの指定色について倍率変換された1ライン分ポインタRAM72に出力するので、この1つの指定色、例えばY色の1ライン分の画像データを読み出すための読出アドレスの下位13ビットが、順次、ポインタRAM72のアドレスRAM70、加算器74を介して生成され、DF76から出力され、1ライン分に達すると、ライン同期信号によってクリアされる。この後、読出アドレス発生部50は次の指定色、例えばM色について、同様に1ライン分の読出アドレスを発生し、続いてC色、K色について1ライン分の読出アドレスの発生を続ける。こうして、読出アドレス発生部50は1ラインの画素分のラインメモリ56(または58)からの倍率に応じた読出アドレスの発生を終了する。

【0035】ところで、本発明の倍率変換回路32においては、このようにして読出アドレス発生部50において変換倍率に応じて発生される読出アドレスに対応して読み出される画像データと、当該読出アドレスより1つ大きいアドレス(読出アドレス+1)の画像データとの間で、アドレスRAM70からの読出アドレス増加値の読み出しと同時に係数RAM71から読み出される係数を用いて補間演算回路64で補間演算をしている。このため、本発明の読出アドレス発生部50においては、図6に示すように出力同期信号の2倍の周波数(1/2の周期)の補間演算のための同期信号(補間同期信号)に同期して動作するカウンタ78によって出力同期信号に同期してロード(LOAD)されるDF76から出力

された読出アドレスの下位13ビットと、これに1加えた読出アドレスの下位13ビットとを発生し、上位2ビットを加え、15ビットの読出アドレスとこれに1加えた15ビットの読出アドレスを発生している。そして、倍率変換回路32ではこれらの2種の読出アドレスに対する画像データをラインメモリ56または58から読み出している。

【0036】このようにして、読み出された2つの画像データは、補間演算回路64において補間演算された後、出力画像データとされる。図7に補間演算回路64の一実施例を示す。同図に示すように補間演算回路64は、読出アドレス発生部50において係数RAM71から読み出された係数T7~T0の8ビットデータから補間演算のための2つの係数を発生する論理回路80と、これらの係数とラインメモリ56または58から読み出された画像データとの積をとる乗算器82と、加算器84とD型フリップフロップ86とを有する。

【0037】ここで補間演算回路64は、出力画像データを $y_n$ とすると、ラインメモリ56または58から読み出された所定読出アドレスの画像データ $x_n$ とこのアドレスに1加えたアドレスの画像データ $x_{n+1}$ との間で2点直線補間を行うもので、以下の式を演算する。

$$y_n = (1-t) \cdot x_n + t \cdot x_{n+1}$$

【0038】まず、論理回路80には、出力同期信号に応じて係数 $t$ (T7~T0の8ビットデータ)から出力同期信号の2倍の周波数の補間同期信号に同期して係数 $1-t$ を、続いて係数 $t$ を乗算器82に出力する。乗算器82にはセクタ60によって選択されたラインメモリ56または58からはじめに画像データ $x_n$ 、続いて $x_{n+1}$ が同様に補間同期信号に同期して入力される。まず、乗算器82では係数 $1-t$ と画像データ $x_n$ との乗算を行い、乗算値 $(1-t) \cdot x_n$ を加算器84に出力する。この時、加算器84には出力同期信号によってクリアされたDF86の出力“0”が入力されているので、加算器84は入力された $(1-t) \cdot x_n$ を加算値としてDF86に出力する。ここでDF86は補間同期信号に同期して加算値 $(1-t) \cdot x_n$ をラッチし、次のクロックで加算器84に出力する。

【0039】一方、乗算器82では、係数 $(1-t)$ と画像データ $x_n$ との乗算数、続いて、係数 $t$ と画像データ $x_{n+1}$ との乗算が行われ、乗算値 $t \cdot x_{n+1}$ が加算器84に出力される。この時、加算器84にはDF86から先にラッチされていた乗算値 $(1-t) \cdot x_n$ が入力されてくるので、加算器84は2つの乗算値を加算し、加算値 $(1-t) \cdot x_n + t \cdot x_{n+1}$ をDF86に出力し、DF86はこの加算値をラッチする。この後、次のクロックでDF86は、この加算値 $(1-t) \cdot x_n + t \cdot x_{n+1}$ を倍率変換処理出力画像データ $y_n$ として出力し、DF86は出力同期信号によってクリアされる。



【0040】 こうして、倍率変換回路32では読出アドレス発生部50において、発生された各色の1ライン分の読出アドレスの画像データがラインメモリ56または58から読み出され、補間演算回路64によって補間演算されて出力画像データとして出力されるが、これらの1ライン分の出力画像データは設定倍率に応じて設定されたアドレスRAM70の読出アドレス増加値によって決定される所定間引率で間引かれ、あるいは所定補間率で補完されているので、入力画像データに対して設定倍率で倍率変換された画像データとなる。また、これらの1ライン分の出力画像データは、同時に、8ビット点順次画像データ（網%データ）から点線変換され、Y、M、C、Kの各色順に1ライン分ずつ出力される8ビット線順次画像データ（網%データ）である。

【0041】 こうして、倍率変換回路32は、Y、M、C、Kの点順次入力画像データに対し、点線変換と主走査方向の倍率変換と主走査方向の位置の調整（主走査方向の切り出し位置やトリミング位置）とを同時に行うことができる。また、倍率変換回路32は、ポインタRAM72のポインタRAM0に設定されたINCコマンドフォーマットデータを用いることにより、同様に読み出しアドレスを制御し、ラインメモリ56または58から読み出される画像データの副走査方向の倍率変換を行うこともできる。

【0042】 本発明に係る画像処理装置は基本的に以上のように構成されるが、本発明はこれに限定されるわけではなく、本発明の要旨を逸脱しない範囲において、改良および設計の変更が可能なことはもちろんである。

【0043】

【発明の効果】 以上詳述したように、本発明によれば、倍率変換処理に用いるラインメモリを分割して画像データの読み出しおよび書き込みを行うことができ、上位ビットを色毎の識別信号として用い、ラインメモリへの書き込み時には上位ビットを変化させて、画像データの点順次-線順次変換を行い、倍率に応じたアドレスの差異情報の他に領域情報を持たせるので、倍率・解像度変換、点線変換および画像の切り出しやトリミングを同一回路で行うことができ、これらを行う回路規模を縮小することができる。

【図面の簡単な説明】

【図3】

色番号 00	01	10	11
(Y)	(M)	(C)	(K)

【図1】 本発明に係る画像処理装置の一実施例のブロック図である。

【図2】 図1に示される画像処理装置に用いられる倍率変換回路の一実施例のブロック図である。

【図3】 図2に示される倍率変換回路に用いられるラインメモリの内部構成の一例を説明するための構成図である。

【図4】 図2に示される倍率変換回路に用いられる書込アドレス発生部の一実施例のブロック図である。

【図5】 図2に示される倍率変換回路に用いられる読出アドレス発生部の一実施例のブロック図である。

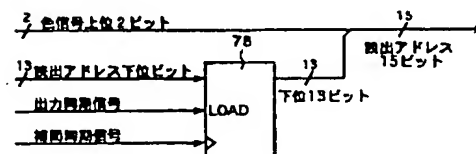
【図6】 図5に示される読出アドレス発生部の他の一部の一実施例のブロック図である。

【図7】 図1に示される画像処理回路に用いられる補間演算回路の一実施例のブロック図である。

【符号の説明】

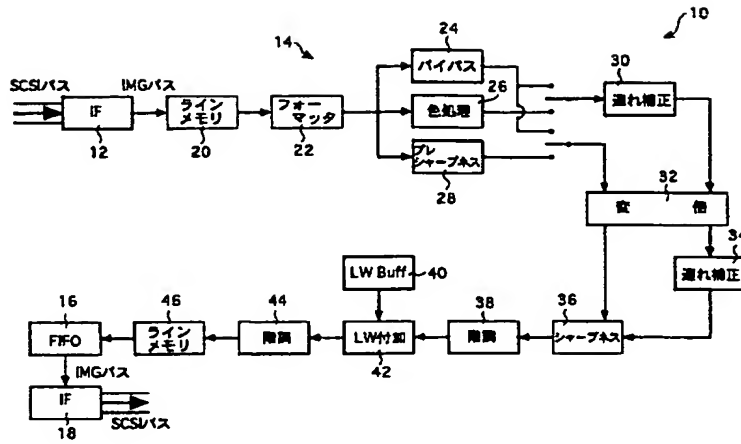
- 10 画像処理装置
- 14 画像処理回路
- 22 フォーマッタ
- 24 バイパス回路
- 26 色処理回路
- 28 プレシャープネス回路
- 32 倍率変換回路
- 36 シャープネス強調回路
- 38 階調変換回路
- 48 書込アドレス発生部
- 50 読出アドレス発生部
- 52 トグルコントローラ
- 54, 60 セレクタ (select)
- 56, 58 ラインメモリ
- 62a, 62b バッファ
- 64 補間演算回路
- 66, 68, 78 カウンタ
- 70 アドレスRAM
- 71 係数RAM
- 72 ポインタRAM
- 74, 84 加算器
- 76, 86 D型フリップフロップ (DFF)
- 80 論理回路
- 82 乗算器

【図6】

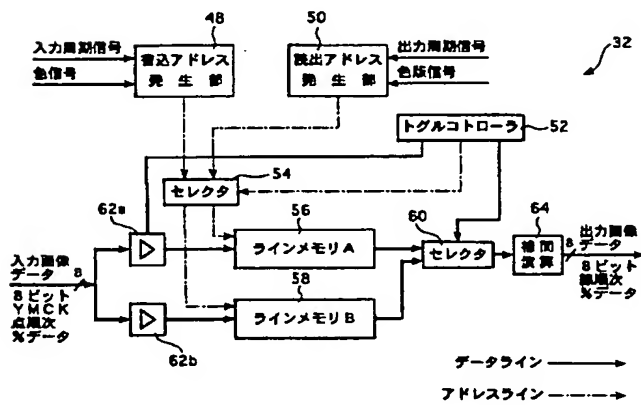




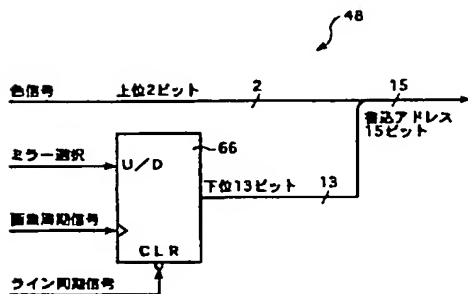
【図1】



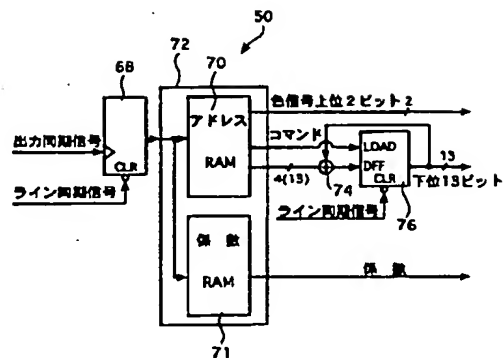
【図2】



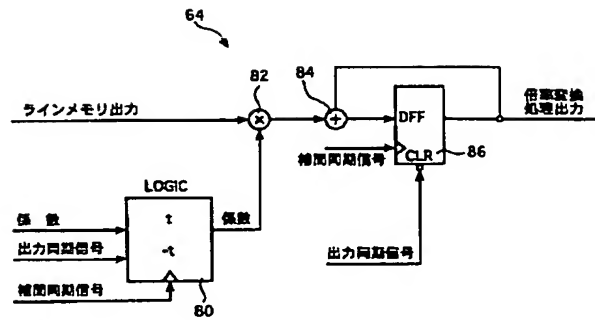
【図4】



【図5】



【図7】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H04N 1/46

識別記号

片内整理番号

FI

H04N 1/46

技術表示箇所

Z